

Patent



Customer No. 31561
Application No.: 10/707,735
Docket No. 11492-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Wang et al.
Application No. : 10/707,735
Filed : January 08, 2004
For : FLASH MEMORY CELL AND MANUFACTURING
METHOD THEREOF
Examiner :
Art Unit : 2818

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092124559, filed on: 2003/09/05.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

May 13, 2004

By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

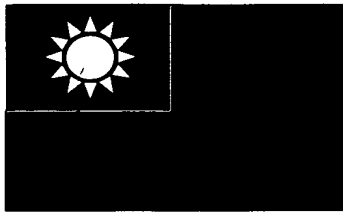
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 09 月 05 日
Application Date

申請案號：092124559
Application No.

申請人：力晶半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 1 月 29 日
Issue Date

發文字號：09320071810
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	快閃記憶胞及其製造方法
	英 文	FLASH MEMORY CELL AND MANUFACTURING METHOD THEREOF
二、 發明人 (共4人)	姓 名 (中文)	1. 王進忠 2. 杜建志
	姓 名 (英文)	1. Leo WANG 2. Chien-Chih
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹縣湖口鄉安宅三街16號 2. 新竹市光復路一段354巷16弄23號6樓
	住居所 (英 文)	1. No. 16, Anjai 3rd St., Hukou Shiang, Hsinchu, Taiwan 303, R.O.C. 2. 6F, No. 23, Alley 16, Lane 354, Sec. 1, Kwang-fu Rd., Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 力晶半導體股份有限公司
	名稱或 姓 名 (英文)	1. Powerchip Semiconductor Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行一路12號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 12, Li-Hsin Rd. I, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. Chung-Jeng Huang

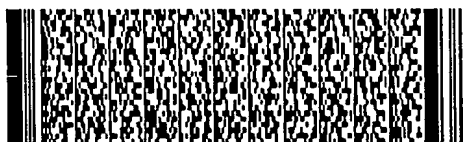


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	3. 宋達
	姓 名 (英文)	3. Da Sung
	國 籍 (中英文)	3. 中華民國 TW
	住居所 (中 文)	3. 新竹市光復路一段89巷123-2號9樓之一
	住居所 (英 文)	3. 9F-1, No. 123-2, Alley 89, Sec. 1, Kwang-fu Rd., Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	4. 徐震球
	姓 名 (英文)	4. Chen-Chiu Hsue
	國 籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 新竹科學工業園區力行一路12號
	住居所 (英 文)	4. No. 12, Li-Hsin Rd. I, Science-Based Industrial Park, Hsinchu, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：快閃記憶胞及其製造方法)

一種快閃記憶胞，此記憶胞是由p型基底、設置於p型基底中之深n型井區、設置於p型基底上之堆疊閘極結構，此堆疊閘極結構由p型基底起依序為穿隧氧化層、浮置閘極、閘間介電層、控制閘極與頂蓋層、分別設置於堆疊閘極結構兩側的p型基底中之源極區與汲極區、設置於堆疊閘極結構側壁之間隙壁、設置於深n型井區中，且從汲極區延伸至堆疊閘極結構下方並與源極區相鄰之p型口袋摻雜區、貫穿汲極區與p型口袋摻雜區之接面的p型摻雜區，且p型摻雜區與該間隙壁相距一距離及設置於汲極區上並電性連接p型摻雜區之接觸窗所構成。

伍、(一)、本案代表圖為：第__2A__圖

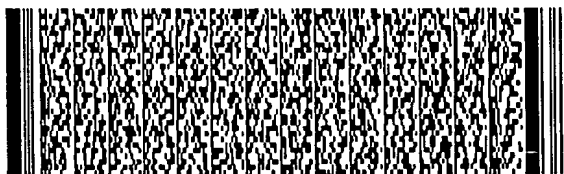
(二)、本案代表圖之元件代表符號簡單說明：

200：基底

202：深n型井區

六、英文發明摘要 (發明名稱：FLASH MEMORY CELL AND MANUFACTURING METHOD THEREOF)

A flash memory cell comprises a p-type substrate, a n-type deep well that is set in the p-type substrate, a stack gate structure that is consisted of a tunneling oxide layer, a floating gate, a inter-gate dielectric layer, a control gate and a cap layer is set on the p-type substrate, a source/drain region is set in the p-type substrate beside the stack gate structure,



四、中文發明摘要 (發明名稱：快閃記憶胞及其製造方法)

204 : p 型 口 袋 摻 雜 區
206 : 堆 疊 閘 極 結 構
208 : 源 極 區
210 : 汲 極 區
212、212a、212b : 間 隙 壁
214 : 內 層 介 電 層
216 : 接 觸 窗
218 : 導 線
220 : 穿 隧 氧 化 層
222 : 浮 置 閘 極
224 : 閘 間 介 電 層
226 : 控 制 閘 極
228 : 頂 蓋 層
230 : p 型 摻 雜 區
232 : 距 離

六、英文發明摘要 (發明名稱：FLASH MEMORY CELL AND MANUFACTURING METHOD THEREOF)

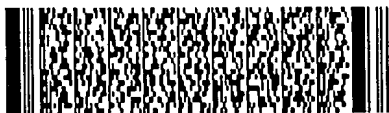
a spacer is set on the side walls of stack gate structure, a p-type pocket doping region is set in the n-type deep well extending from the drain region to a position under the stacked-gate structure, a p-type doping region away from spacer is set to penetrate through a junction between the drain region and the p-type pocket doping region, and a plug is set connect to the p-type doping



四、中文發明摘要 (發明名稱：快閃記憶胞及其製造方法)

六、英文發明摘要 (發明名稱：FLASH MEMORY CELL AND MANUFACTURING METHOD THEREOF)

region electrically on the drain region.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

[發明所屬之技術領域]

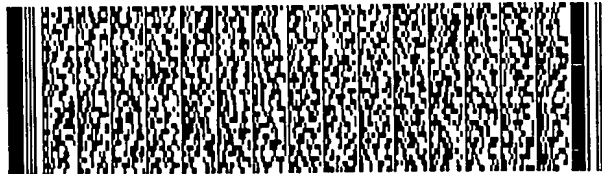
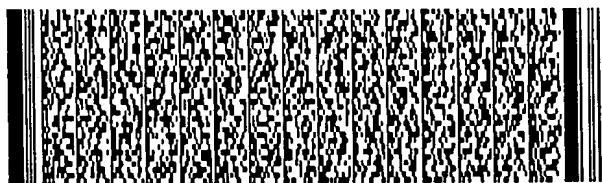
本發明是有關於一種非揮發性記憶體(Non-Volatile Memory, NVM)元件，且特別是有關於一種快閃記憶體胞及其製造方法。

[先前技術]

快閃記憶體元件由於具有可多次進行資料之存入、讀取、抹除等動作，且存入之資料在斷電後也不會消失之優點，所以已成為個人電腦和電子設備所廣泛採用的一種非揮發性記憶體元件。

典型的快閃記憶體元件係以摻雜的多晶矽製作浮置閘極(Floating Gate)與控制閘極(Control Gate)。而且，控制閘極係直接設置在浮置閘極上，浮置閘極與控制閘極之間以介電層相隔，浮置閘極與基底間以穿隧氧化層(Tunnel Oxide)相隔，而形成所謂堆疊閘極快閃記憶體胞。

請參照第1圖所繪示之習知堆疊閘極式快閃記憶體胞(Stack Gate Flash Memory Cell)之結構示意圖(美國專利US6214668)。習知的快閃記憶體是由p型基底100、深n型井區102、p型口袋摻雜區104、堆疊閘極結構106、源極區108、汲極區110、間隙壁112、內層介電層114、接觸窗116與導線118(位元線)所構成。堆疊閘極結構106是由穿隧氧化層120、浮置閘極122、閘間介電層124、控制閘極126與頂蓋層128所構成。深n型井區102位於p型基底100中。堆疊閘極結構106位於p型基底100上。源極區108與汲極區110位於堆疊閘極結構106兩側之p型基底100中。間隙



五、發明說明 (2)

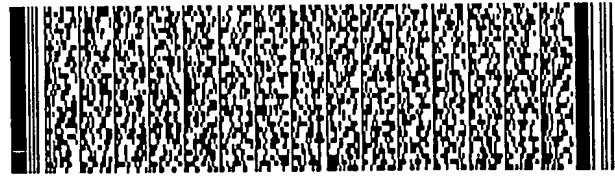
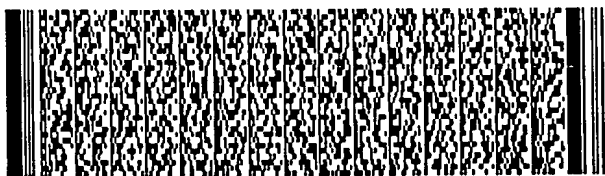
壁112係位於堆疊閘極結構106之側壁上。p型口袋摻雜區104位於深n型井區102中，且從汲極區110延伸至堆疊閘極結構106下方。內層介電層114位於p型基底100上。接觸窗116穿過內層介電層114與p型基底100使汲極區110與p型口袋摻雜區104短路連接在一起。導線118位於內層介電層114上，並與接觸窗116電性連接。

在上述第1圖所示之快閃記憶體胞中，導線118(位元線)經由接觸窗116連接導電型態不同汲極區110與p型口袋摻雜區104。由於接觸窗116與汲極區110、p型口袋摻雜區104之接觸並不是很好(接觸窗116與汲極區110為垂直式接觸，兩者接觸面積小)，因此在操作此記憶體胞時(特別是在對記憶體胞進行讀取操作時)會造成汲極區110與p型口袋摻雜區104之電阻值變大或不穩定，導致元件操作速度變慢，而影響元件效能。

此外，在形成接觸窗116時，需要蝕刻內層介電層114與p型基底100，以形成貫穿內層介電層114與汲極區110之接觸窗開口。由於，此接觸窗開口之高寬比很大，且需要蝕刻兩種不同材質(氧化矽與矽)，因此要控制接觸窗開口之深度較為困難的，而增加了製程之困難度。而且，在後段製程中，因為記憶體胞區之接觸窗與周邊電路區之接觸窗必須要分開形成，所以也會增加後段製程之複雜度。

[發明內容]

有鑑於此，本發明之一目的在於提供一種快閃記憶體胞及其製造方法，可以降低位元線與汲極區、p型口袋摻雜



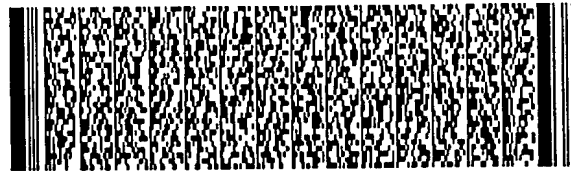
五、發明說明 (3)

區之接觸電阻值，以增加記憶胞之讀取電流，而能夠提升快閃記憶體元件效能。

本發明之另一目的在於提供一種快閃記憶胞及其製造方法，可以增加製程裕度，並減少製程步驟、製程成本及時間。

有鑑於此，本發明提供一種快閃記憶胞，此記憶胞是由第一導電型基底、設置於第一導電型基底上之堆疊開極結構，此堆疊開極結構由第一導電型基底起依序為穿隧氧化層、浮置層、設置於堆疊開極結構兩側的第一導電型基底中，且從汲極區延伸至堆疊開極結構下方並與源極區相鄰之第一導電型基底、設置的汲極區中，貫穿汲極區與第一導電型摻雜區之接觸窗所構成。

本發明將第一導電型口袋摻雜區與汲極區短路連接在一起，就可便於快閃記憶胞的讀取操作。而且利用第一導電型摻雜區使汲極區與第一導電型口袋摻雜區連接在一起，並使第一導電型摻雜區與間隙壁相距一距離（此距離較佳是大於汲極區之深度），於是接觸窗與汲極區由原來的垂直式接觸改為水平式接觸，可以增加接觸窗與汲極區的接觸面積，而能夠降低接觸窗與第一導電型口袋摻雜區、

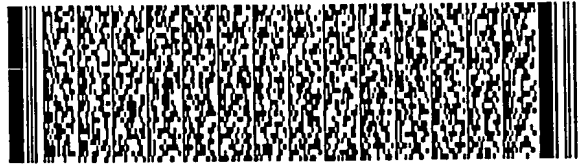


五、發明說明 (4)

汲極區之間的電阻值，因此可以提升讀取速率，並提升元件效能。

先一構成至，中極成接雜，區
係第結、形伸接區區汲形成接後雜
法型極層中延。極極穿上形型之接
方電閘電底區鄰汲汲貫底以電。型
此導疊介基雜相與於區基壁導離電
，二堆間之摻底區，雜於隙一距導
法第，閘區袋基極後摻，間第一一
方成中、極口之源然型著與與距第
造形其極汲型區成。電接層區相與
製中。閘成電極形壁導。電極壁區
之底構置形導源中隙一面介汲隙極
胞基結浮定一成底間第接層出間汲
憶此極、預第形基成此之內露與接
記於閘層於且定之形，區分暴區連
閃並疊化，預側壁區雜部口雜性
快，堆氧後區與兩側雜摻除開摻電
種底成隧然雜並構之摻袋移窗型成
一基形穿。摻方結構型口並觸電形
供型上為層袋下極結電型，接導中
提電底序蓋口構閘極導電層此一口
明導基依頂型結疊閘一導電，第開。
發一於起與電極堆疊第一介口使窗窗
本第與底極導閘於堆一第層開並接觸
供區基閘一疊，於成與內窗，接接
提井由制第堆著並形區一觸區於之

在上述之製造方法中，由於在汲極區中形成貫穿汲極區與第一導電型口袋摻雜區，使兩者短路連接在一起之第一導電型摻雜區，而使接觸窗與汲極區由原來垂直式接觸改為水平式接觸，因此可以增加接觸窗與汲極區的接觸面積，而能夠降低接觸窗與第一導電型口袋摻雜區、汲極區



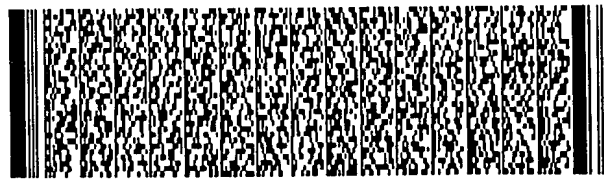
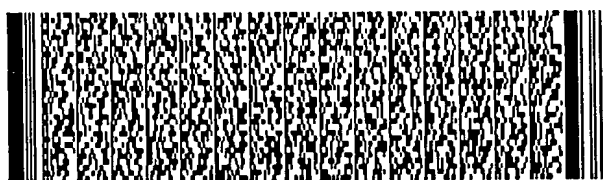
五、發明說明 (5)

之間的電阻值，因此可以提升讀取速率，並提升元件效能。

而且，由於在汲極區中形成貫穿汲極區與第一導電型口袋摻雜區使兩者短路連接在一起之第一導電型摻雜區，因此並不需要形成貫穿汲極區與第一導電型口袋摻雜區之接觸窗。於是，在形成接觸窗時，只需要蝕刻部分內層介電層與部分間隙壁形成接觸窗開口，並不需要蝕刻兩種不同材質(氧化矽與矽)，因此要控制接觸窗開口之深度較為容易，而可以簡化接觸窗之製程，並提升製程裕度。此外，在後段製程中，因為記憶胞區之接觸窗與周邊電路區之接觸窗可以同時形成，所以也可以簡化後段製程。

另外，本發明使堆疊閘極結構之間的距離縮小(亦即源極區之寬度較小)，使得形成於堆疊閘極結構之源極區側的間隙壁相連而覆蓋住源極區，則在後續之製程中就可以直接利用具有間隙壁之堆疊閘極結構作為自行對準罩幕，形成貫穿汲極區與第一導電型口袋摻雜區之第一導電型摻雜區，因此可以簡化製程。而且，間隙壁可為單層間隙壁或雙層間隙壁。藉由形成兩層蝕刻選擇性不同之間隙壁，並使外層之間隙壁的蝕刻選擇性與內層介電層之蝕刻選擇性相同，於是在形成接觸窗開口時，可以直接以內層的間隙壁作為蝕刻罩幕，而可以增加製程裕度。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：



五、發明說明 (6)

[實施方式]

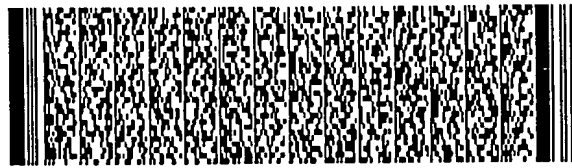
第2A圖為繪示本發明較佳實施例的快閃記憶體胞之結構剖面圖。第2B圖與第2C圖為分別繪示本發明其他實施例的快閃記憶體胞之結構剖面圖。在第2B圖與第2C圖中，構件與第2圖相同者給予相同之標號，並省略其詳細說明

請參照第2圖，本發明之快閃記憶體是由p型基底200、深n型井區202、p型口袋摻雜區204、堆疊閘極結構206、源極區208、汲極區210、間隙壁212、內層介電層214、接觸窗216、導線218(位元線)與p型摻雜區230所構成。堆疊閘極結構206是由穿隧氧化層220、浮置閘極222、閘間介電層224、控制閘極226與閘極頂蓋層228所構成。

深n型井區202位於p型基底200中。堆疊閘極結構206位於p型基底200上。源極區208與汲極區210位於堆疊閘極結構206兩側之p型基底200中。p型口袋摻雜區204位於深n型井區202中，且從汲極區210側延伸至堆疊閘極結構206下方而靠近源極區208側。

間隙壁212設置於堆疊閘極結構206之側壁。間隙壁212例如是由間隙壁212a與間隙壁212b所構成。間隙壁212a與間隙壁212b之材質例如是具有不同之蝕刻選擇性。間隙壁212b之材質的蝕刻選擇性例如是與內層介電層之蝕刻選擇性類似。其中，在源極區208側的間隙壁212b相連而覆蓋住源極區208。

內層介電層214位於p型基底200上。接觸窗216設置於

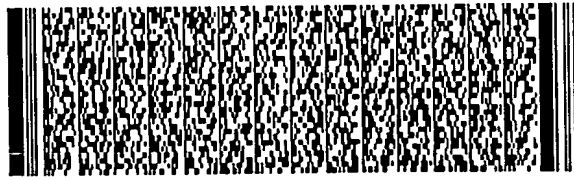
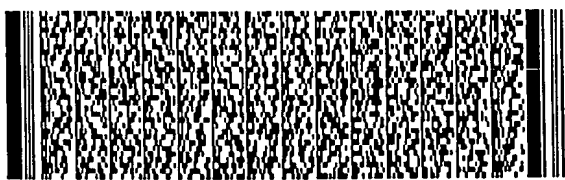


五、發明說明 (7)

內層介電層214中，而使電性連接汲極區210。導線218位於內層介電層214上，並與接觸窗216電性連接。p型摻雜區230設置於汲極區210中，並貫穿汲極區210與p型口袋摻雜區之接面，且p型摻雜區與間隙壁212a相距一距離232。其中，此距離232例如是大於汲極區210之深度。

本發明將p型口袋摻雜區204與汲極區210短路連接在一起，就可便於快閃記憶胞的讀取操作，而且利用p型摻雜區230使汲極區210與p型口袋摻雜區204連接在一起，且p型摻雜區與間隙壁212a相距一距離232，於是接觸窗216與汲極區210由原來垂直式接觸改為水平式接觸，可以增加接觸窗216與汲極區210的接觸面積，而能夠降低接觸窗216與p型口袋摻雜區、汲極區210之間的電阻值，因此可以提升讀取速率，並提升元件效能。

在本發明之上述實施例中，間隙壁212係以具有兩層結構(間隙壁212a與間隙壁212b)，且源極區208側的間隙壁212b相連而覆蓋住源極區208為例做說明。當然本發明之快閃記憶胞也可以如第2B圖所示，源極區208側的間隙壁212b並未覆蓋住源極區208。但是，p型摻雜區230仍與間隙壁212b相距一距離232。此外，本發明之快閃記憶胞也可以如第2C圖所示，間隙壁212為單層結構，且p型摻雜區230與間隙壁212相距一距離232。因此，本發明之快閃記憶胞並不限於間隙壁212之型態，只要p型摻雜區230與間隙壁212相距一距離232，且此距離232例如是大於汲極區210之深度，即可達成本發明之功效。

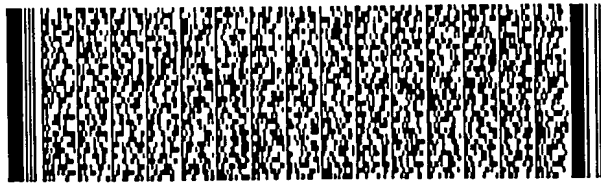
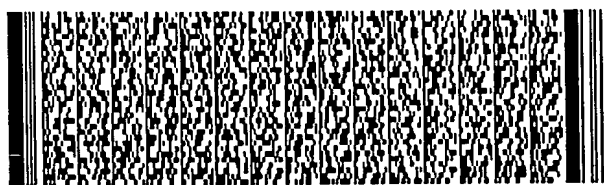


五、發明說明 (8)

接著，說明本發明之快閃記憶胞之製造方法。第3A圖至第3I圖所示為根據本發明一較佳實施例之一種快閃記憶體的製造剖面圖。在此係以雙反或閘式(BiNOR)型陣列快閃記憶體為例，且其結構係為如第2A圖所示之結構。

首先請參照第3A圖，提供一p型基底300，此p型基底300已形成元件隔離結構(未圖示)，此元件隔離結構成條狀的佈局，並用以定義出主動區。形成元件隔離結構例如是區域氧化法(Local Oxidation, LOCOS)或淺溝渠隔離法(Shallow Trench Isolation, STI)。接著，在p型基底300中形成深n型井區302。之後，於p型基底300表面形成一層氧化層304，做為穿隧氧化層之用，氧化層304之形成方法例如是熱氧化法，其厚度例如是90埃至100埃左右。接著，於氧化層304上形成一層導體層(未圖示)，其材質例如是摻雜的多晶矽，此導體層之形成方法例如是利用化學氣相沈積法形成一層未摻雜多晶矽層後，進行離子植入步驟以形成之，且此導體層之厚度例如是800埃左右。然後將此導體層圖案化，而形成條狀之導體層306，此導體層306係位於主動區上方。

接著，請參照第3B圖。依序於基底300上形成一層閘間介電層308、一層導體層310與一層頂蓋層312。閘間介電層308之材質例如是氧化矽/氮化矽/氧化矽等，且其厚度例如是60埃/70埃/60埃左右，閘間介電層308之形成方法例如是低壓化學氣相沈積法。當然，此閘間介電層308之材質也可以是氧化矽層、氧化矽/氮化矽層等。導體層

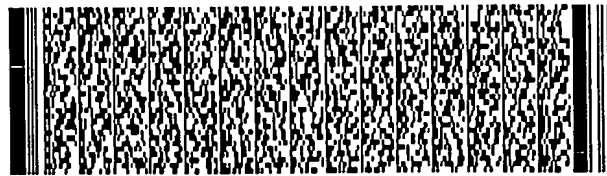
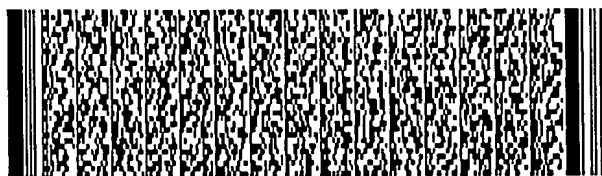


五、發明說明 (9)

310 之材質例如是摻雜的多晶矽，且其厚度例如是2000 埃左右，導體層310 之形成方法例如是以臨場(In-Situ) 摻雜離子之方式，利用化學氣相沈積法以形成之。當然導體層310 之材質也可以例如是多晶矽化金屬(Polycide)，多晶矽化金屬之形成步驟包括先形成一層多晶矽層後，在於此多晶矽層上形成一層金屬矽化物層。而金屬矽化物層之材質例如是矽化鎳、矽化鎢、矽化鈷、矽化鈦、矽化鉬、矽化鈮等。頂蓋層312 之材質包括蝕刻選擇性與後續形成之內層介電層具有不同蝕刻選擇性者，其例如是氮化矽、其厚度例如是1500 埃左右，頂蓋層312 之形成方法例如是化學氣相沈積法。

接著，請參照第3C 圖，利用罩幕(未圖示) 將此頂蓋層312、導體層310 圖案化，用以定義出頂蓋層312a 與做為控制閘極之用的導體層310a，在定義導體層310a 的同時，繼續以相同的罩幕定義閘間介電層308、導體層306 與氧化層304，使其分別形成閘間介電層308a 和導體層306a 與氧化層304a，其中導體層306a 係做為浮置閘極之用。亦即，快閃記憶胞的堆疊閘極結構314 係由圖示之頂蓋層312a、導體層(控制閘極)310a、閘間介電層308a、導體層(浮置閘極)306a 與氧化層304a(穿隧氧化層)的堆疊結構所構成。

接著請參照第3D 圖，於整個基底300 上形成一層圖案化光阻層316，此圖案化光阻層316 暴露預定形成汲極區的區域。然後，進行一口袋(Pocket) 離子植入步驟，以堆疊閘極結構314 與圖案化光阻層316 為罩幕，於堆疊閘極結構

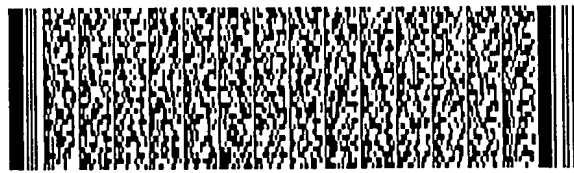
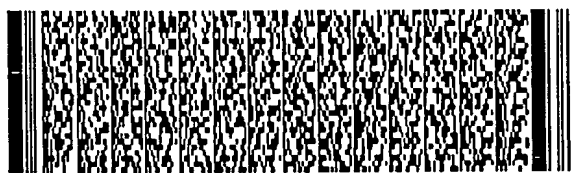


五、發明說明 (10)

314 一側靠近汲極區之基底300中的深n型井區106植入摻質，以形成p型口袋摻雜區318。植入摻質之方法包括傾斜角離子植入法，例如是以0度至180度之傾斜角植入摻質。因此，p型口袋摻雜區318從預定形成汲極區之區域延伸至堆疊閘極結構314之下方，並與預定形成源極區之區域相鄰。

接著請參照第3E圖，移除圖案化光阻層316後，進行一熱製程，此熱製程例如是在900℃左右之溫度下，於含氧氣之環境中進行摻質之驅入(Drive-in)。接著，以堆疊閘極結構314為單幕，進行一離子植入製程，於堆疊閘極結構314兩側之基底300中植入摻質，以形成汲極區320與源極區322。植入之摻質例如是n型離子。

接著請參照第3F圖，於堆疊閘極結構314之側壁形成間隙壁324a，間隙壁324a之形成步驟例如是先形成一層絕緣層(未圖示)，此絕緣層之材質包括蝕刻選擇性與後續形成之內層介電層具有不同蝕刻選擇性者，其例如是氮化矽，然後利用非等向性蝕刻法移除部分絕緣層已於堆疊閘極結構314之側壁形成間隙壁324a。接著再於具有間隙壁324a之堆疊閘極結構314之側壁形成間隙壁324b，間隙壁324b之形成步驟例如是先形成一層絕緣層(未圖示)，此絕緣層之材質包括蝕刻選擇性與後續形成之內層介電層之蝕刻選擇性類似者，其例如是氧化矽，然後利用非等向性蝕刻法移除部分絕緣層已於具有間隙壁324a之堆疊閘極結構314之側壁形成間隙壁324b。而且，兩堆疊閘極結構314之



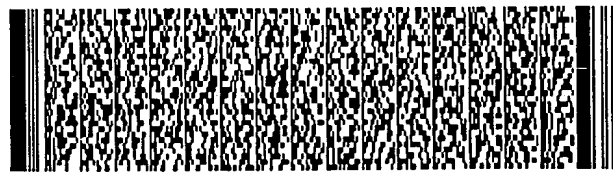
五、發明說明 (11)

間的距離較小(亦即源極區322之寬度較小)，使得堆疊閘極結構314在源極區322側之間隙壁324b相連而覆蓋住源極區322，則在後續之製程中就可以直接利用具有間隙壁324b之堆疊閘極結構314作為自行對準罩幕。當然，本發明之間隙壁也可以如上述之第2B圖所示，源極區側之間隙壁並未覆蓋住源極區。或如第2C圖所示，間隙壁為單層結構。

接著請參照第3G圖，於整個基底300上形成一層圖案化光阻層326，此圖案化光阻層326暴露出汲極區320。然後，以圖案化光阻層326與間隙壁324a、間隙壁324b為罩幕，進行一離子植入製程，汲極區320中植入摻質，以形成一p型摻雜區328，其中p型摻雜區328貫穿汲極區320與p型口袋摻雜區218之接面而使兩者短路連接在一起。

汲極區320與源極區322。植入之摻質例如是二氟化硼(BF₂)離子。當然，在本發明中，由於堆疊閘極結構314在源極區322側之間隙壁324b相連而覆蓋住源極區322，因此也可以不形成圖案化光阻層，而直接利用具有間隙壁324b之堆疊閘極結構314作為自行對準罩幕，而形成p型摻雜區328。

接著請參照第3H圖，移除圖案化光阻層326後，於基底300上形成一內層介電層330，內層介電層330之材質例如是硼磷矽玻璃(BPSG)或磷矽玻璃(PSG)，形成內層介電層330之方法例如是化學氣相沈積法。然後進行平坦化製程(例如回蝕刻法、化學機械研磨法(Chemical



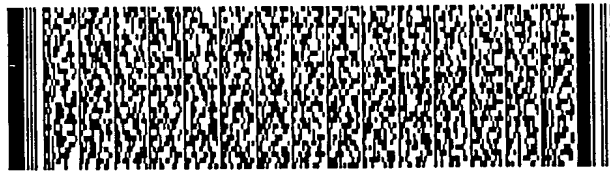
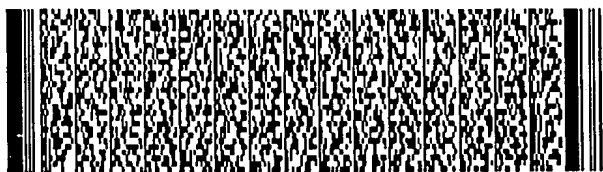
五、發明說明 (12)

Mechanical Polishing))，使內層介電層330之表面平坦化。然後圖案化內層介電層330以形成暴露汲極區320與p型摻雜區328之開口332。由於，間隙壁324a之材質與內層介電層330之材質具有不同蝕刻選擇性，而間隙壁324b之材質與內層介電層330之材質具有類似蝕刻選擇性。因此，開口332所暴露之間隙壁324b也會被移除，而使p型摻雜區328與間隙壁324a(或殘留下之間隙壁324b)相距一距離334。

接著請參照第3I圖，於開口332內形成與p型摻雜區328、汲極區320電性連接之接觸窗336，接觸窗336之材質例如是鎢金屬。接觸窗336之形成方法例如是於開口332內填入導體材料以形成之。之後，於內層介電層330上形成與接觸窗336電性連接之導線338。導線338之形成方法例如是於基底300上形成導體層(未圖示)後，進行微影蝕刻步驟而形成條狀之導線338。後續完成快閃記憶體之製程為習知技藝者所周知，在此不再贅述。

在上述之製造方法中，由於在汲極區320中形成貫穿汲極區320與p型口袋摻雜區使兩者短路連接在一起之p型摻雜區328，而使接觸窗336與汲極區320由原來垂直式接觸改為水平式接觸，因此可以增加接觸窗336與汲極區320的接觸面積，而能夠降低接觸窗336與p型口袋摻雜區318、汲極區320之間的電阻值，因此可以提升讀取速率，並提升元件效能。

而且，由於在汲極區320中形成貫穿汲極區320與p型



五、發明說明 (13)

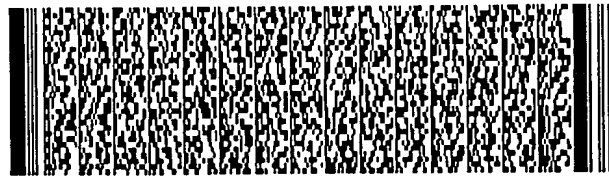
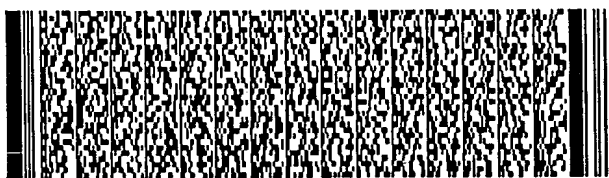
口袋摻雜區318使兩者短路連接在一起之p型摻雜區328，因此並不需要形成貫穿汲極區320與p型口袋摻雜區318之接觸窗336。於是，在形成接觸窗336時，只需要蝕刻部分內層介電層330與部分間隙壁324b形成接觸窗開口332，並不需要蝕刻兩種不同材質(氧化矽與矽)，因此要控制接觸窗開口336之深度較為容易，而可以簡化接觸窗336之製程，並提升製程裕度。此外，在後段製程中，因為記憶胞區之接觸窗與周邊電路區之接觸窗可以同時形成，所以也可以簡化後段製程。

另外，本發明使堆疊閘極結構314之間的距離縮小(亦即源極區322之寬度較小)，使得形成於堆疊閘極結構314之源極區322側的間隙壁324b相連而覆蓋住源極區322，則在後續之製程中就可以直接利用具有間隙壁324b之堆疊閘極結構314作為自行對準罩幕，形成貫穿汲極區320與p型口袋摻雜區318之p型摻雜區328，因此可以簡化製程。

而且，間隙壁可為單層間隙壁或雙層間隙壁。藉由形成兩層蝕刻選擇性不同之間隙壁，並使外層之間隙壁的蝕刻選擇性與內層介電層之蝕刻選擇性相同，於是在形成接觸窗開口時，可以直接以內層的間隙壁作為蝕刻罩幕，而可以增加製程裕度。

此外，上述實施例係以p型通道快閃記憶胞為例作說明，當然本發明也可以適用於n型通道快閃記憶胞。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精



五、發明說明 (14)

神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

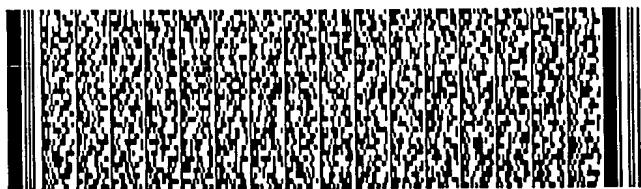
第1圖所繪示為習知一種快閃記憶胞之結構剖面圖。

第2A圖至第2C圖所繪示為本發明之快閃記憶胞之結構剖面圖。

第3A圖至第3I圖所繪示為本發明之快閃記憶胞的製造流程剖面圖。

圖式之標號說明：

- 100、200、300：基底
- 102、202、302：深n型井區
- 104、204、318：p型口袋摻雜區
- 106、206、314：堆疊閘極結構
- 108、208、322：源極區
- 110、210、320：汲極區
- 112、212、212a、212b、324a、324b：間隙壁
- 114、214、330：內層介電層
- 116、216、336：接觸窗
- 118、218、338：導線
- 120、220：穿隧氧化層
- 122、222：浮置閘極
- 124、224：閘間介電層
- 126、226：控制閘極
- 128、228、312、312a：頂蓋層
- 230、328：p型摻雜區
- 232、334：距離
- 304、304a、308、308a：介電層

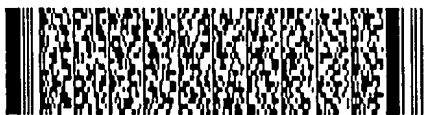


圖式簡單說明

306、306a、310、310a：導體層

316、326：圖案化光阻層

332：開口



六、申請專利範圍

1. 一種快閃記憶體胞，包括：

一第一導電型基底；

一第二導電型第一井區，設置於該第一導電型基底中；

一堆疊閘極結構，設置於該第一導電型基底上，該堆疊閘極結構由該第一導電型基底起依序為一穿隧氧化層、一浮置閘極、一閘間介電層、一控制閘極與一頂蓋層；

一源極區與一汲極區，分別設置於該堆疊閘極結構兩側的該第一導電型基底中；

一第一導電型口袋摻雜區，設置於該第二導電型第一井區中，從該汲極區延伸至該堆疊閘極結構下方並與該源極區相鄰；

一間隙壁，設置於該堆疊閘極結構側壁；

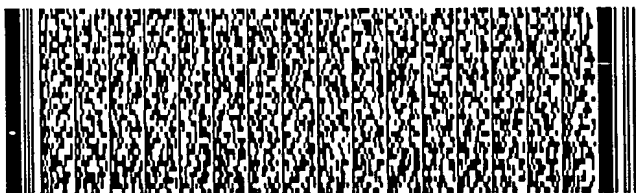
一第一導電型摻雜區，設置於該汲極區中，貫穿該汲極區與該第一導電型口袋摻雜區之接面，該第一導電型摻雜區與該間隙壁相距一距離；以及

一接觸窗，設置於該汲極區上，並電性連接該第一導電型摻雜區。

2. 如申請專利範圍第1項所述之快閃記憶體胞，其中該第一導電型基底包括p型基底。

3. 如申請專利範圍第1項所述之快閃記憶體胞，其中該第二導電型第一井區包括深n型井區。

4. 如申請專利範圍第1項所述之快閃記憶體胞，其中該第一導電型口袋摻雜區包括p型口袋摻雜區。



六、申請專利範圍

5. 如申請專利範圍第1項所述之快閃記憶胞，其中該第一導電型摻雜區包括p型摻雜區。

6. 如申請專利範圍第1項所述之快閃記憶胞，其中該源極區與該汲極區係摻雜n型離子。

7. 如申請專利範圍第1項所述之快閃記憶胞，其中該汲極區與該第一導電型口袋摻雜區係以一電性短路連接一起。

8. 如申請專利範圍第1項所述之快閃記憶胞，其中該第一導電型摻雜區與該間隙壁相距之該距離大於該汲極區之深度。

9. 一種快閃記憶胞之製造方法，該方法包括下列步驟：

提供具有第一導電型之一基底；

於該基底中形成一第二導電型第一井區；

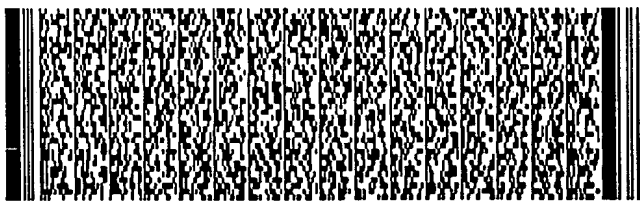
於該基底上形成一堆疊閘極結構，該堆疊閘極結構由該基底起依序為一穿隧氧化層、一浮置閘極、一閘間介電層、一控制閘極與一頂蓋層；

於預定形成一汲極區之該基底中形成一第一導電型口袋摻雜區，且該第一導電型口袋摻雜區延伸至該堆疊閘極結構下方並與預定形成一源極區之該基底相鄰；

於該堆疊閘極結構兩側之該基底中形成該源極區與該汲極區；

於該堆疊閘極結構之側壁形成一間隙壁；

於該汲極區中形成一第一導電型摻雜區，該第一導電



六、申請專利範圍

型摻雜區貫穿該汲極區與該第一導電型口袋摻雜區之接面；

於該基底上形成一內層介電層；

移除部分該內層介電層與該間隙壁以形成一開口，該開口暴露出該汲極區與該第一導電型摻雜區，並使該第一導電型摻雜區與該間隙壁相距一距離；以及

於該開口中形成一接觸窗，該接觸窗電性連接該第一導電型摻雜區。

10. 如申請專利範圍第9項所述之快閃記憶胞之製造方法，其中該第一導電型摻雜區與該間隙壁相距之該距離大於該汲極區之深度。

11. 如申請專利範圍第9項所述之快閃記憶胞之製造方法，其中於該汲極區中形成該第一導電型摻雜區之步驟中包括：

於該基底上形成一罩幕層，此罩幕層具有一開口暴露出該汲極區；

以該罩幕層與該間隙壁為自行對準罩幕於該汲極區側的該基底中形成該第一導電型摻雜區；以及

移除該罩幕層。

12. 如申請專利範圍第11項所述之快閃記憶胞之製造方法，其中於該堆疊閘極結構之側壁形成該間隙壁之步驟包括：

於該堆疊閘極結構之側壁形成一第一間隙壁；

於具有該第一間隙壁之該堆疊閘極結構的側壁形成一



六、申請專利範圍

第二間隙壁。

13. 如申請專利範圍第12項所述之快閃記憶體胞之製造方法，其中移除部分該內層介電層與該間隙壁以形成該開口之步驟中，包括移除部分該第二間隙壁，並使該第一導電型摻雜區與該第二間隙壁相距該距離。

14. 如申請專利範圍第12項所述之快閃記憶體胞之製造方法，其中移除部分該內層介電層與該間隙壁以形成該開口之步驟中，包括移除該第二間隙壁，並使該第一導電型摻雜區與該第一間隙壁相距該距離。

15. 如申請專利範圍第9項所述之快閃記憶體胞之製造方法，其中於該堆疊閘極結構之側壁形成該間隙壁之步驟中，該源極區上方之該間隙壁彼此相連。

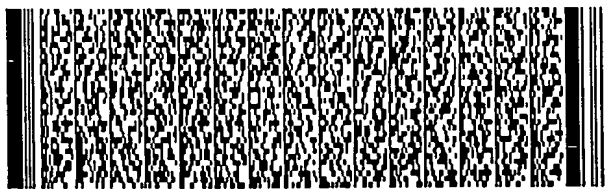
16. 如申請專利範圍第15項所述之快閃記憶體胞之製造方法，其中於該汲極區中形成該第一導電型摻雜區之步驟中，包括以具有該間隙壁之該對堆疊閘極結構為自行對準罩幕，於該汲極區之該基底中形成該第一導電型摻雜區。

17. 如申請專利範圍第11項所述之快閃記憶體胞之製造方法，其中於該堆疊閘極結構之側壁形成該間隙壁之步驟包括：

於該堆疊閘極結構之側壁形成一第一間隙壁；

於具有該第一間隙壁之該堆疊閘極結構的側壁形成一第二間隙壁，且該源極區上方之該第二間隙壁彼此相連。

18. 如申請專利範圍第17項所述之快閃記憶體胞之製造方法，其中該汲極區中形成該第一導電型摻雜區之步驟



六、申請專利範圍

中，包括以具有該第二間隙壁之該對堆疊閘極結構為自行對準罩幕，於該汲極區之該基底中形成該第一導電型摻雜區。

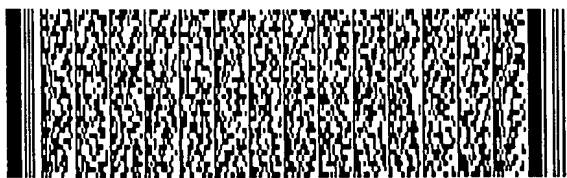
19. 如申請專利範圍第11項所述之快閃記憶胞之製造方法，其中於預定形成該汲極區之該基底中形成該第一導電型口袋摻雜區之步驟包括：

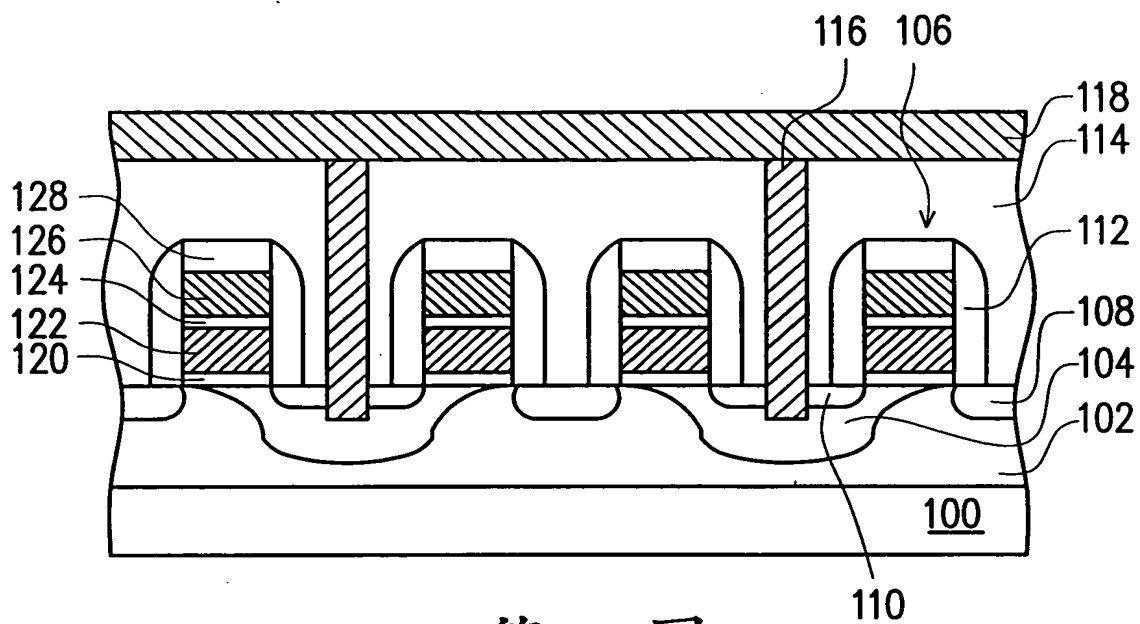
於該基底上形成一第一圖案化光阻層，該第一圖案化光阻層暴露預定形成該汲極區之該基底；

進行一第一口袋植入步驟，於預定形成該汲極區之該基底中形成該第一導電型口袋摻雜區；以及

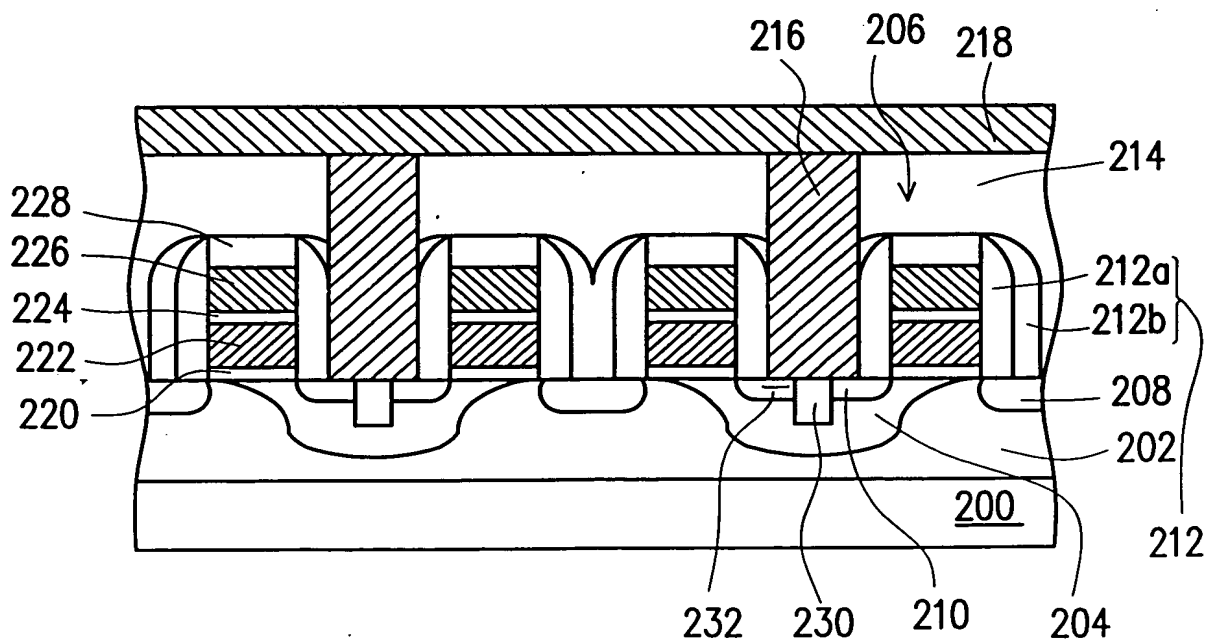
移除該第一圖案化光阻層。

20. 如申請專利範圍第19項所述之快閃記憶胞之製造方法，其中該第一口袋植入步驟包括一傾斜角離子植入法。

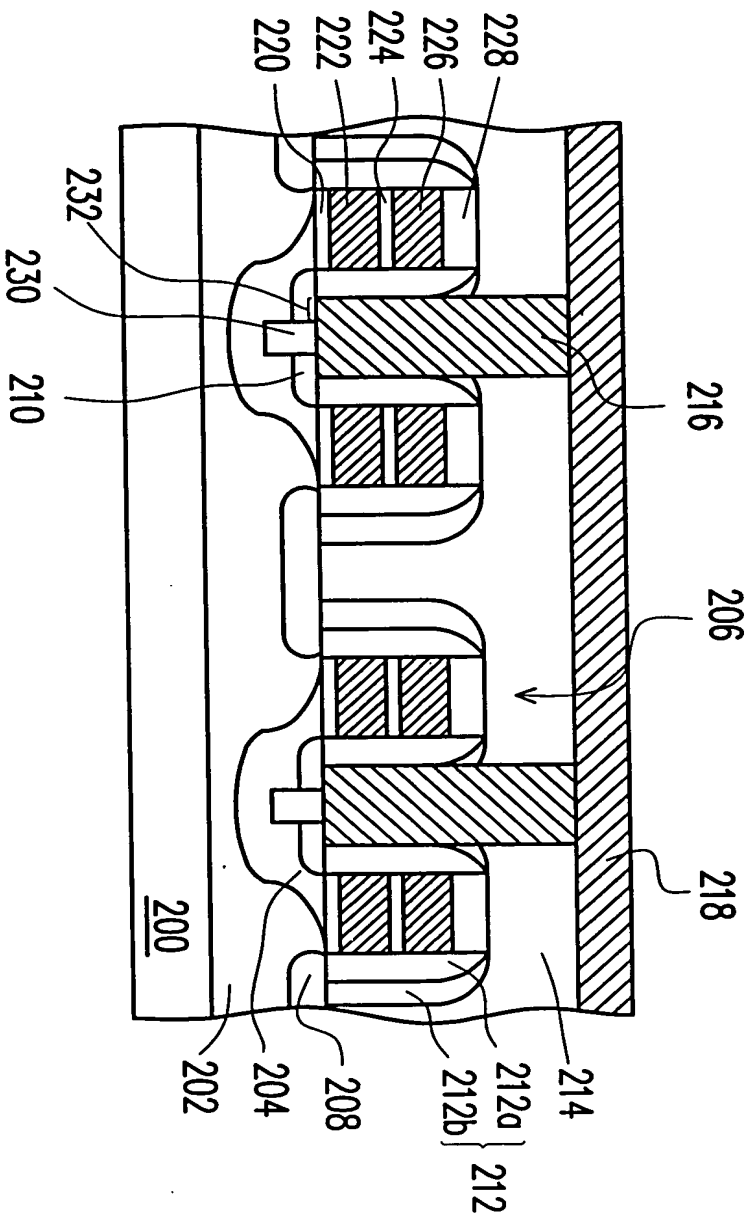




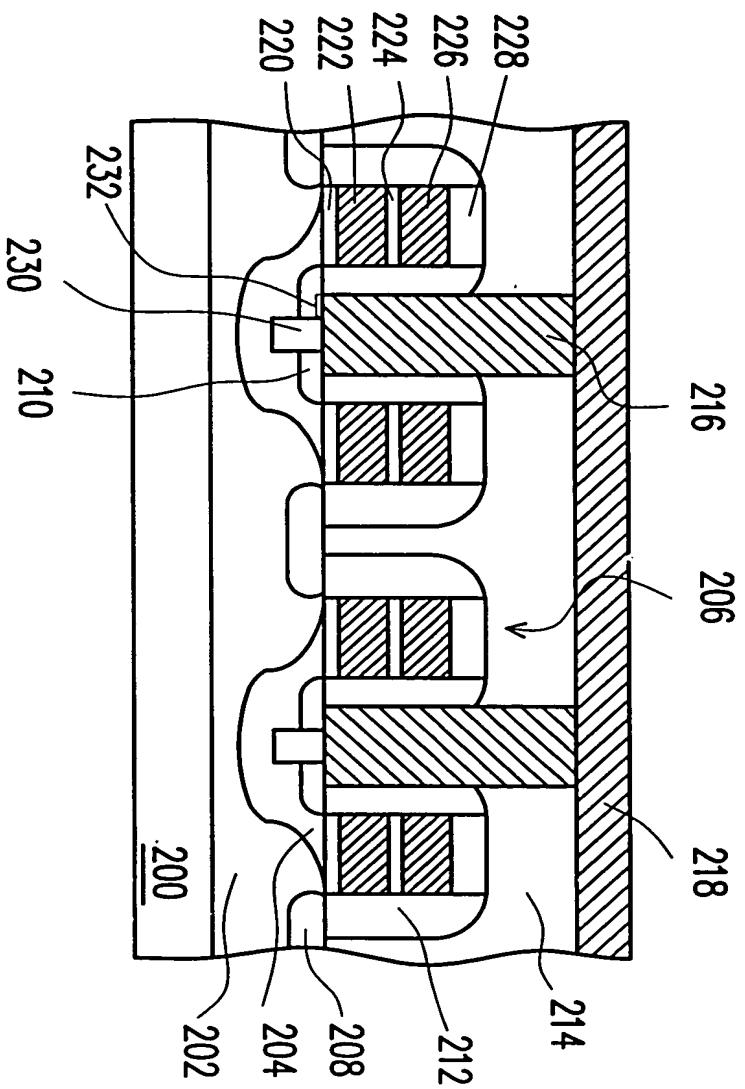
第 1 圖



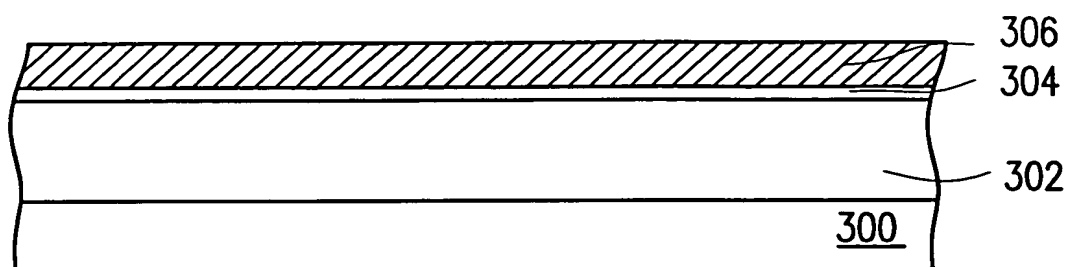
第 2A 圖



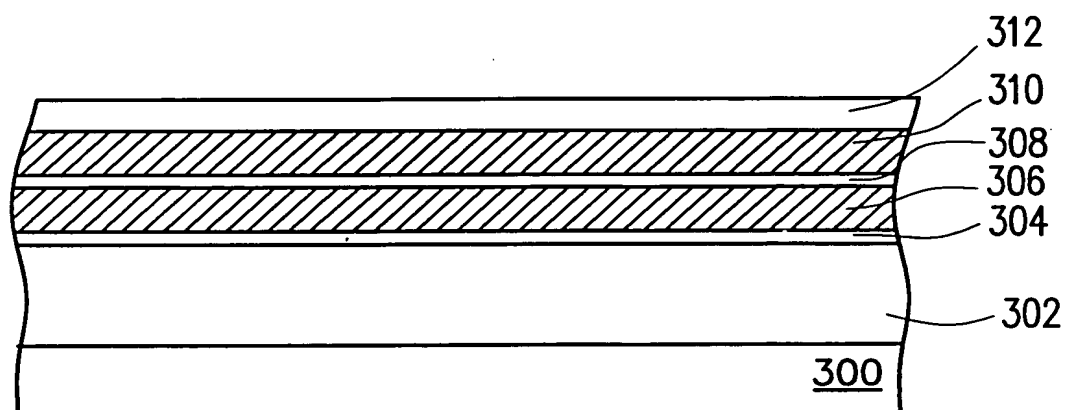
第2B圖



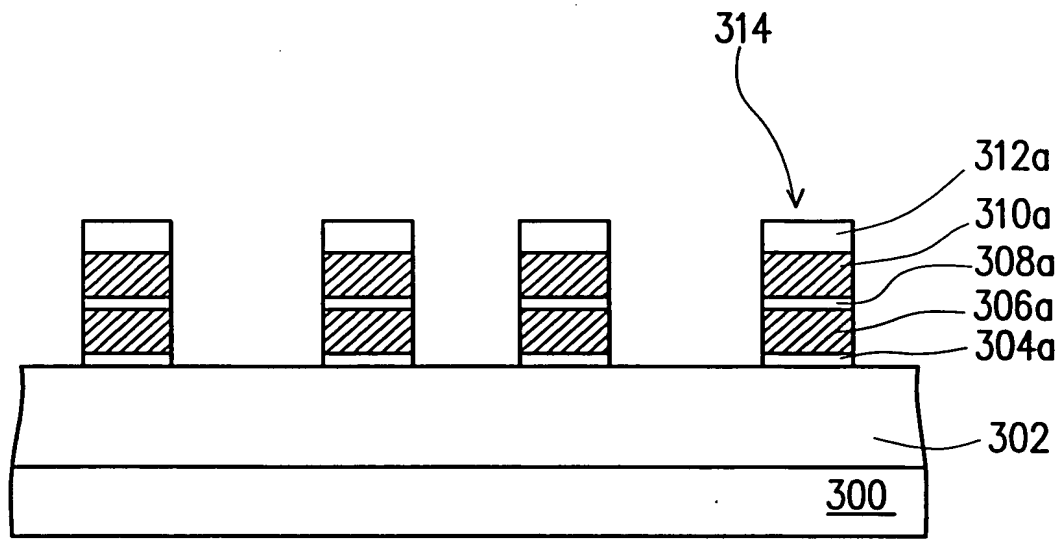
第2C圖



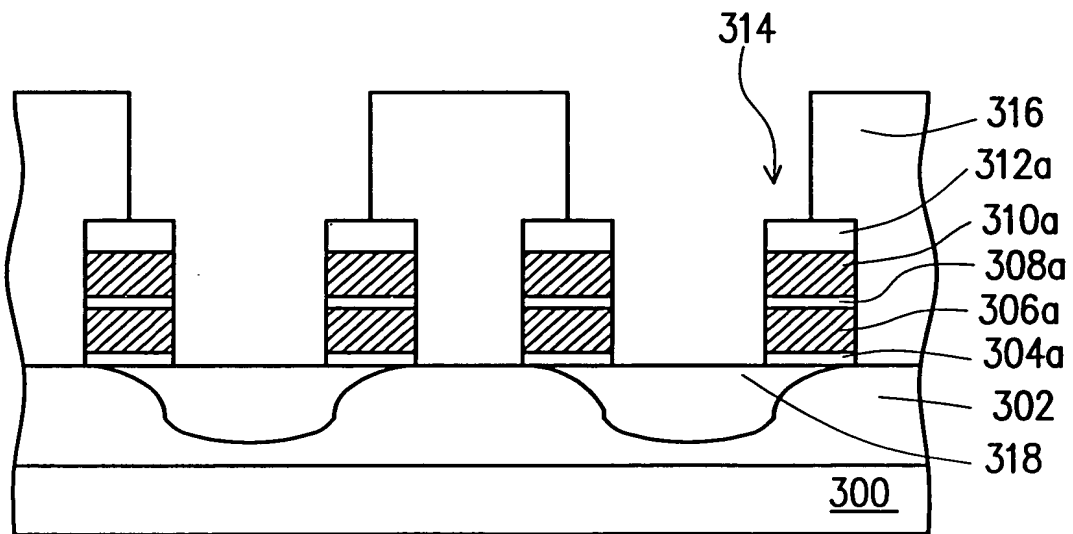
第 3A 圖



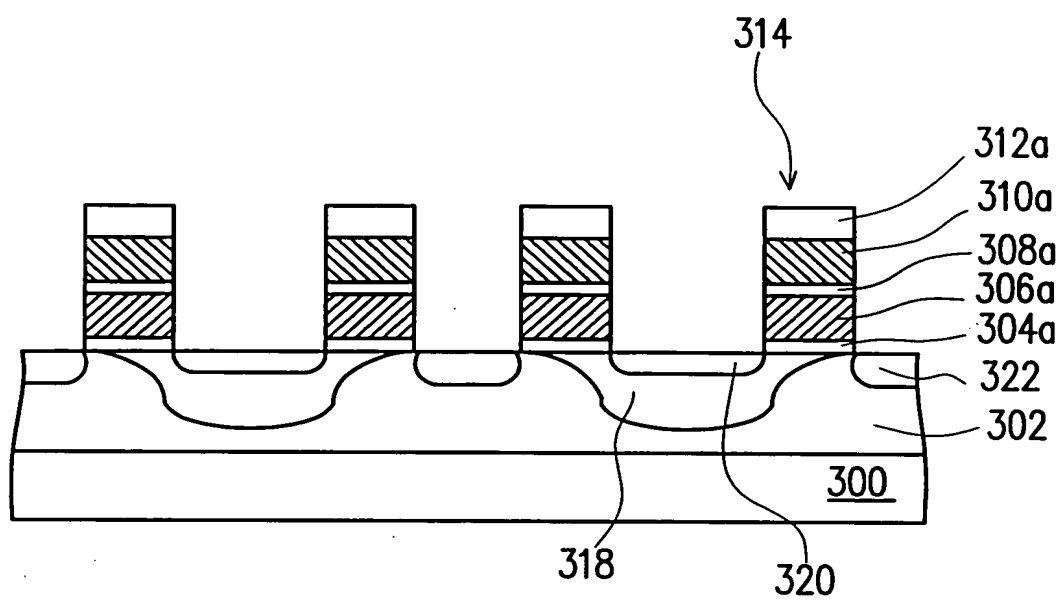
第 3B 圖



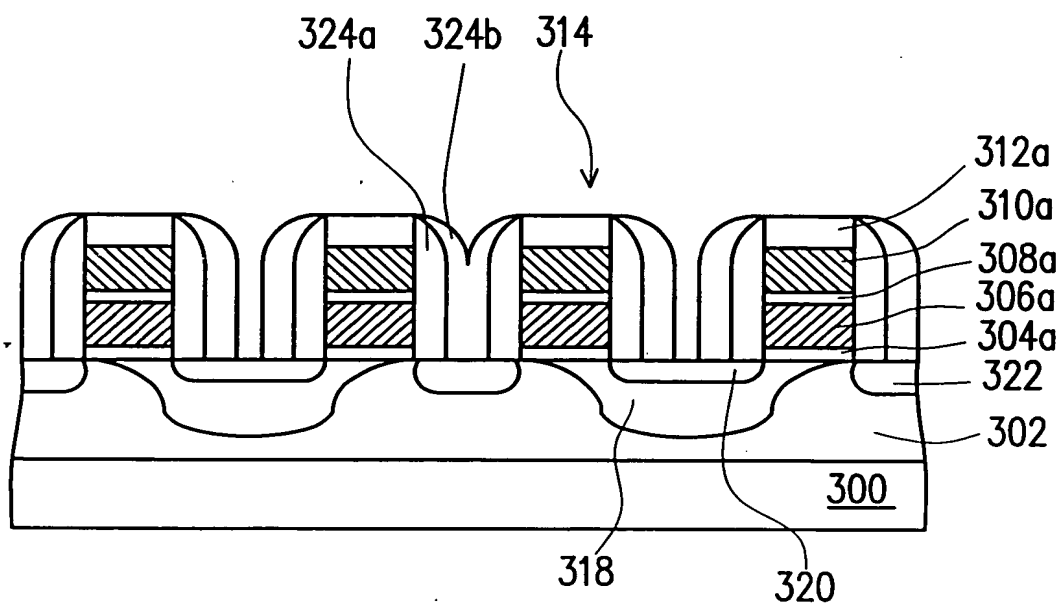
第 3C 圖



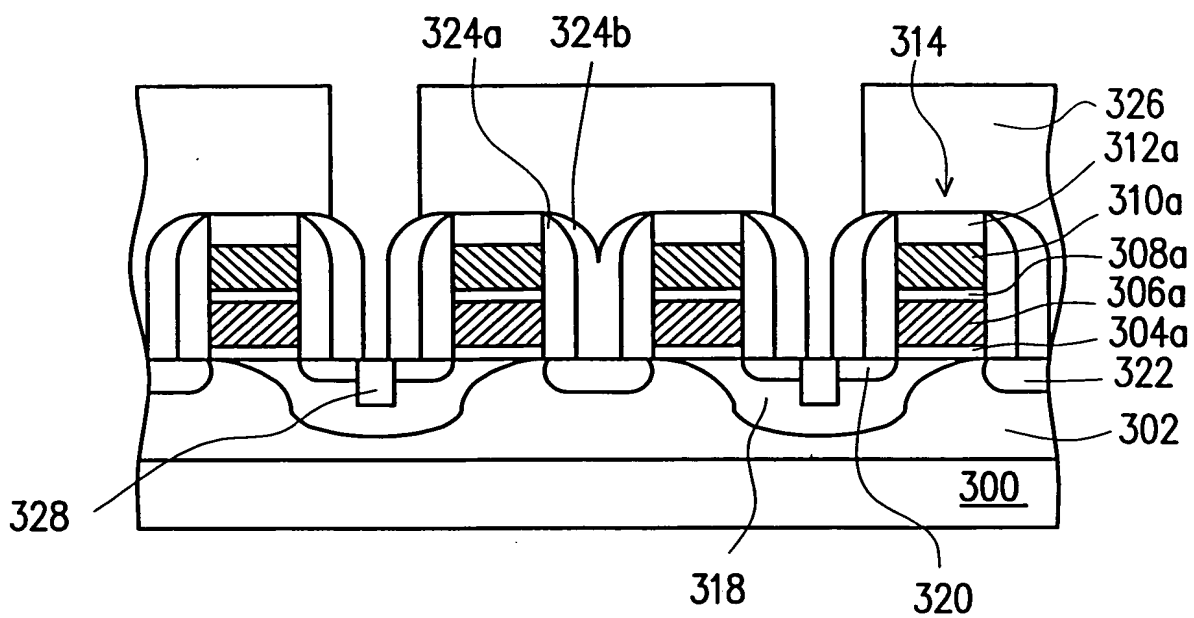
第 3D 圖



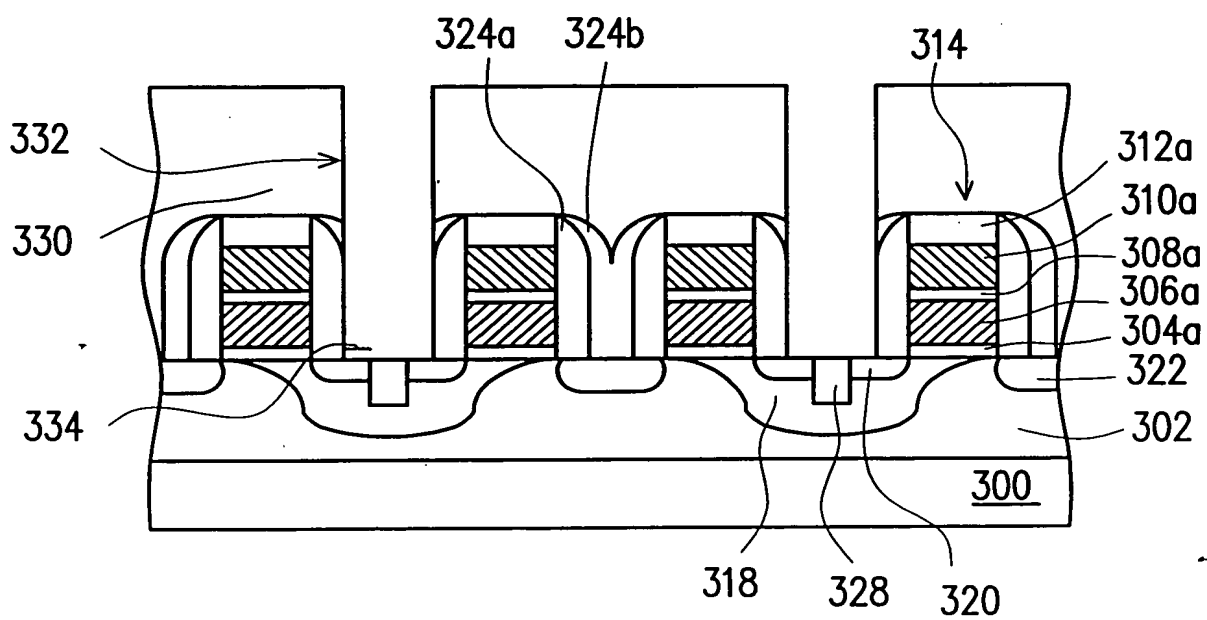
第 3E 圖



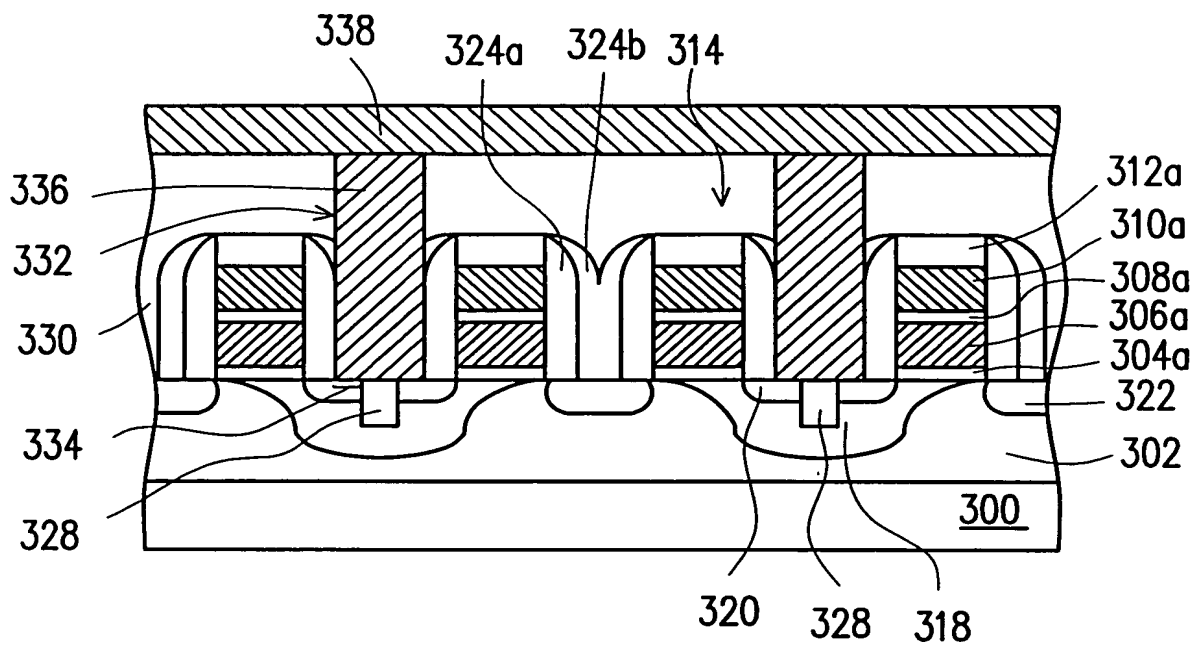
第 3F 圖



第 3G 圖



第 3H 圖

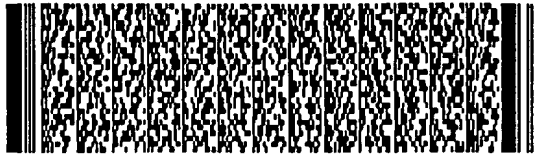


第 31 圖

第 1/28 頁



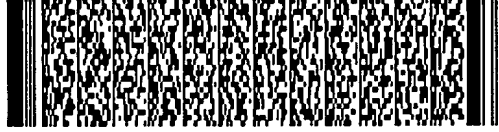
第 1/28 頁



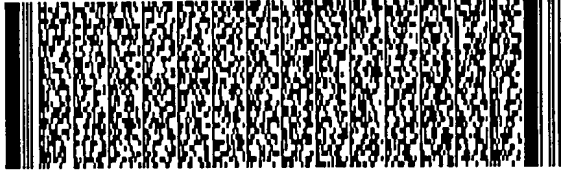
第 2/28 頁



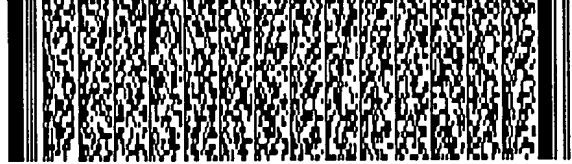
第 3/28 頁



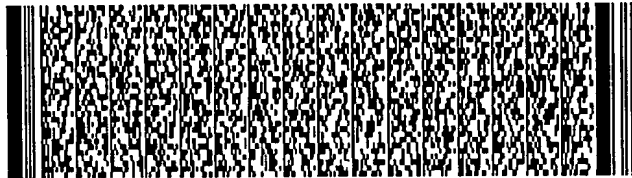
第 4/28 頁



第 4/28 頁



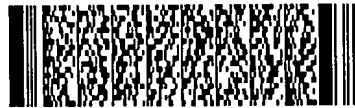
第 5/28 頁



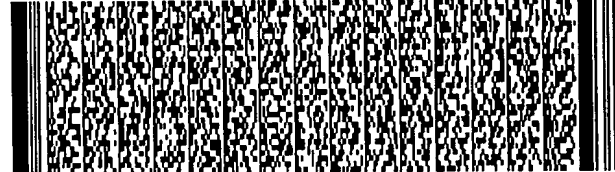
第 6/28 頁



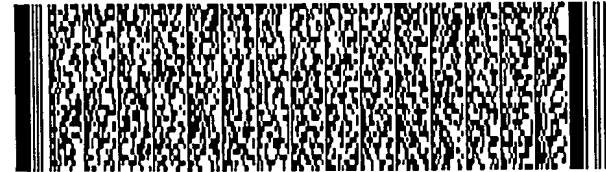
第 7/28 頁



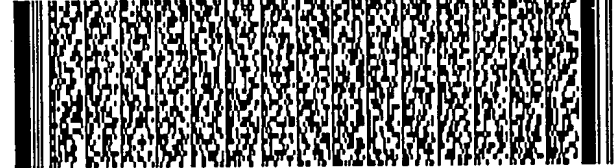
第 8/28 頁



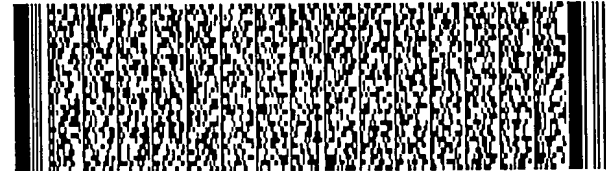
第 8/28 頁



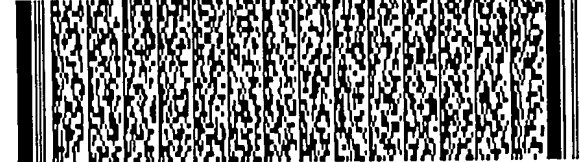
第 9/28 頁



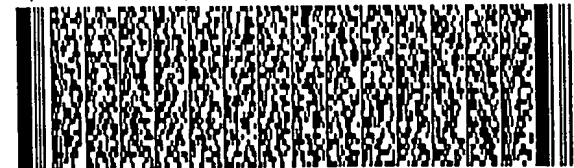
第 9/28 頁



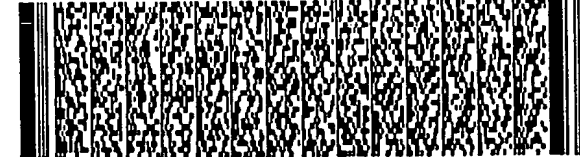
第 10/28 頁



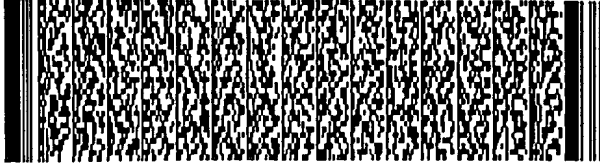
第 10/28 頁



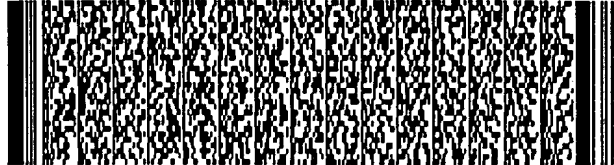
第 11/28 頁



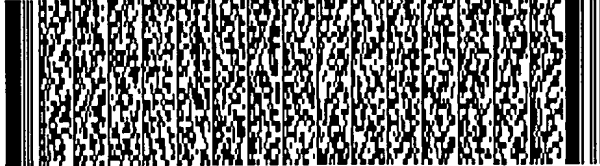
第 19/28 頁



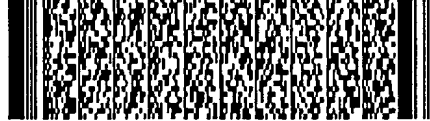
第 20/28 頁



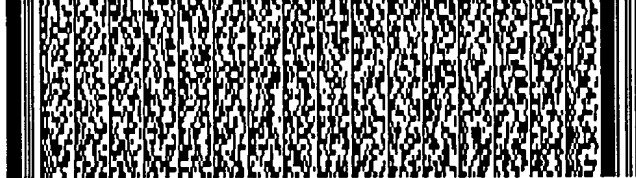
第 20/28 頁



第 21/28 頁



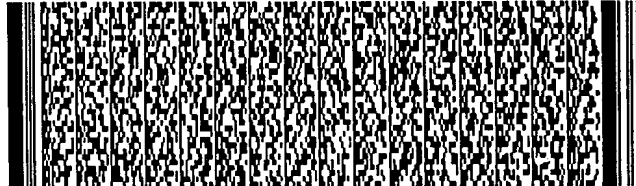
第 22/28 頁



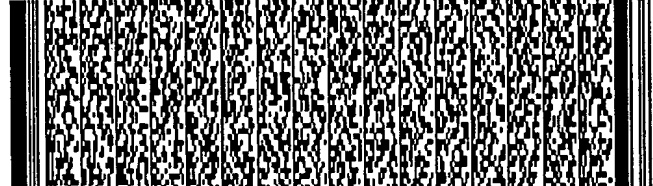
第 23/28 頁



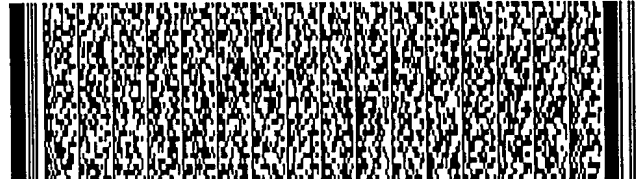
第 24/28 頁



第 25/28 頁



第 26/28 頁



第 27/28 頁



第 28/28 頁

